



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0030614
Application Number

출원 년 월 일 : 2003년 05월 14일
Date of Application MAY 14, 2003

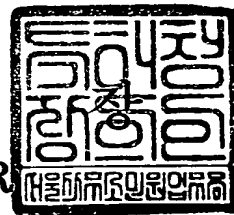
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2004 년 03 월 30 일

특 허 청

COMMISSIONER





【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.05.14
【발명의 명칭】	엘리베이티드 소오스/드레인 구조의 모스트랜지스터 및 그 제조 방법
【발명의 영문명칭】	Method and Apparatus For Making MOS Transistors With Elevated Source/Drain
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	김동진
【대리인코드】	9-1999-000041-4
【포괄위임등록번호】	2002-007585-8
【발명자】	
【성명의 국문표기】	박문한
【성명의 영문표기】	PARK, Moon Han
【주민등록번호】	670123-1675511
【우편번호】	449-846
【주소】	경기도 용인시 수지읍 풍덕천리 1167 진산마을 삼성5차아파트 523-11 01
【국적】	KR
【발명자】	
【성명의 국문표기】	이화성
【성명의 영문표기】	RHEE, Hwa Sung
【주민등록번호】	700906-1067412
【우편번호】	463-500
【주소】	경기도 성남시 분당구 구미동 까치마을 대우아파트 106-402
【국적】	KR
【발명자】	
【성명의 국문표기】	유재운
【성명의 영문표기】	Y00, Jae Yoon

【주민등록번호】	720619-1006612
【우편번호】	135-280
【주소】	서울특별시 강남구 대치동 은마아파트 10-805
【국적】	KR
【발명자】	
【성명의 국문표기】	이호
【성명의 영문표기】	LEE, Ho
【주민등록번호】	720723-1019626
【우편번호】	464-892
【주소】	경기도 광주군 오폐면 능평리 오폐베르빌 103-401
【국적】	KR
【발명자】	
【성명의 국문표기】	이승환
【성명의 영문표기】	LEE, Seung Hwan
【주민등록번호】	740924-1041728
【우편번호】	150-010
【주소】	서울특별시 영등포구 여의도동 은하아파트 B동 1207
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 김동진 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	8 면 8,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	37 항 1,293,000 원
【합계】	1,330,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 반도체 소자 및 그 제조방법에 관한 것으로, 좀 더 자세하게는 선택적 에피택시 성장(Selective Epitaxy Growth; SEG)방법을 통하여 엘리베이티드 소스/드레인(elevated Source Drain) 구조를 가지는 MOST랜지스터 및 그 제조방법에 관한 것이다. 본 발명에 의하면, 에피층을 형성한 후 소스/드레인 연장(source/drain extension) 접합영역을 형성함으로써 소스/드레인 접합영역이 열화되는 것을 방지할 수 있고, 또한 2개의 게이트스페이서와 선택적인 에피택시 성장(SEG) 방법을 이용한 2개의 엘리베이티드 소스/드레인(elevated source/drain)을 형성함으로써 소스/드레인 연장(source/drain extension) 접합영역이 게이트영역의 하부로 적당히 오버랩되게 하여 단채널효과(short channel effect)를 방지할 수 있으며, 소스/드레인과 게이트의 면저항을 낮게 한다.

【대표도】

도 6

【색인어】

MOST랜지스터, 제조방법, 엘리베이티드 소스/드레인(elevated source drain)



【명세서】

【발명의 명칭】

엘리베이티드 소오스/드레인 구조의 모스트랜지스터 및 그 제조방법{Method and Apparatus For Making MOS Transistors With Elevated Source/Drain}

【도면의 간단한 설명】

도 1 내지 도 6는 본 발명에 따른 엘리베이티드 소스/드레인(elevated Source Drain) 구조를 가지는 모스트랜지스터의 제조 공정을 설명한 것이다.

<도면의 주요 부분에 관한 부호의 설명>

101 : 반도체기판 104 : 필드산화막

106 : 게이트절연막 108 : 게이트전극

110 : 제1 게이트산화막 112 : 소스/드레인 연장영역

114 : 제1 게이트스페이서 116 : 확장된 게이트실리콘

118 : 제1 에피층

120 : 깊은 이온주입되어 형성된 소스/드레인 영역

130 : 제2 게이트산화막 134 : 제2 게이트스페이서

140 : 제2 에피층

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <11> 본 발명은 반도체 소자의 제조방법에 관한 것으로, 좀 더 자세하게는 선택적 에피택시 성장 (Selective Epitaxy Growth)방법을 통하여 엘리베이티드 소스/드레인(elevated Source Drain) 구조를 가지는 모스트랜지스터의 제조방법에 관한 것이다.
- <12> 최근 각종 전기적 소자의 소형화, 경량화, 박막화의 추세에 힘입어 FET 의 크기 축소(scale down)도 점점 가속화되고 있는데, 이러한 FET의 크기 감소는 게이트 유효 채널 길이(gate effect channel length)를 감소시켜 소스 전극과 드레인 전극 사이의 펀치 쓰루(punch through) 특성을 열화시키는 단채널효과(Short channel effect)가 발생하는 문제점을 가지고 있다.
- <13> 이를 해결하기 위하여 소스 및 드레인 영역을 LDD(Lightly Doped Drain) 구조로 형성하여 전술한 단채널효과를 억제하는, 얇은 접합을 갖는 소스/드레인 (Shallow junction source/drain)구조가 개발되었는데, 이러한 LDD 구조는 게이트 선포이 $0.35\mu\text{m}$ 이상의 반도체 소자까지는 단채널 효과의 발생을 억제하는 것이 가능하지만, 그 이하의 반도체 소자에는 적용할 수 없는 문제점이 있다.
- <14> 즉, LDD 구조에서 얇은 접합을 형성하는데는 한계를 가지며 이로 인하여 울트라 셀로우 정션(Ultra Shallow Junction)을 형성하는 것은 불가능하다.
- <15> 이러한 LDD구조의 한계를 극복하기 위하여 초저접합(shallow junction)을 구현하기 위한 소스 및 드레인 전극의 형성방법으로 선택적인 에피택시 성장(selective epitaxy growth; SEG) 방

법을 이용하여 엘리베이트된 소스/드레인 (elevated source/drain) 접합영역을 갖는 FET가 개발되었다.

【발명이 이루고자 하는 기술적 과제】

<16> 본 발명의 목적은 에피층을 형성한 후 소스/드레인 연장(source/drain extension) 접합영역을 형성하고 상기 에피층과 소스/드레인의 접합영역(junction)을 2회에 걸쳐 형성함으로써, 단채널효과(short channel effect)를 방지하는데 있다.

【발명의 구성 및 작용】

- <17> 본 발명의 일 실시예에 따른 엘리베이트드 소스/드레인 구조의 모스 트랜지스터는, 반도체 기판의 활성화 영역 상부에 형성된 게이트절연막; 상기 게이트절연막상에 형성된 게이트전극; 상기 게이트전극의 측면에 형성된 제1 게이트스페이서; 상기 반도체기판 상부에 형성된 제1 에피층; 상기 제1 게이트스페이서의 측면에 형성된 제2 게이트스페이서; 및 상기 제1 에피층 상부에 형성된 제2 에피층을 포함한다.
- <18> 상기 엘리베이트드 소스/드레인 구조의 모스 트랜지스터는 상기 게이트전극의 측면과 제1 게이트스페이서 사이에 위치하는 제1 게이트산화막; 상기 제1 게이트스페이서와 제2 게이트스페이서 사이에 위치하는 제2 게이트산화막을 더 포함하는 것이 바람직하다.
- <19> 또한 상기 엘리베이트드 소스/드레인 구조의 모스 트랜지스터는 상기 게이트전극 상부에 위치하는 폴리층을 더 포함하는 것이 바람직하다. 나아가, 상기 게이트전극 상부에 위치하는 폴리층의 폭은 게이트의 폭보다 큰 것이 바람직하다. 또한, 상기 게이트전극 상부에 위치하는 폴리층은 실리콘이거나, 게르마늄을 포함하는 것이 바람직하다.

- <20> 상기 엘리베이티드 소스/드레인 구조의 모스 트랜지스터는 상기 제1 에피층의 하부에 위치하고
상기 게이트전극의 하부와 일부 오버랩되게 도펀트로 이온주입되어 형성된 소스/드레인; 및
상기 제2 에피층의 하부에 위치한 반도체기판에 도펀트로 깊은 이온주입되어 형성된 소스/드레
인 영역을 더 포함하는 것이 바람직하다.
- <21> 여기서, 상기 제1 에피층은 예정된 엘리베이티드 소스/드레인 두께의 20~30% 두께로 형성하는
것이 바람직하다. 또한, 상기 제2 에피층은 예정된 엘리베이티드 소스/드레인 영역 두께의 약
70~80% 두께로 형성하는 것이 바람직하다.
- <22> 상기 제1 에피층 또는 상기 제2 에피층은 실리콘 또는 실리콘-게르마늄으로 구성되는 것이 바
람직하다.
- <23> 상기 제1 게이트스페이서의 폭보다 상기 제2 게이트스페이서의 폭이 4~6배 정도 큰 것이 바람
직하다.
- <24> 또한, 상기한 본 발명의 목적을 달성하기 위하여 본 발명은, 반도체 기판의 활성화 영역에 게
이트절연막을 형성하고, 상기 게이트절연막상에 게이트전극을 형성하는 단계; 상기 게이트전극
의 측면에 제1 게이트스페이서를 형성하는 단계; 상기 반도체 기판 상부에 제1 에피층을 형성
하는 단계; 상기 제1 게이트 스페이서의 측면에 제2 게이트스페이서를 형성하는 단계; 및 상기
제1 에피층의 상부에 제2 에피층을 형성하는 단계를 포함하는 엘리베이티드 소스/드레인 구조
의 모스 트랜지스터 제조방법을 제공한다.
- <25> 상기 엘리베이티드 소스/드레인 구조의 모스 트랜지스터 제조방법에서, 상기 제1 게이트스페이
서 형성전에 제1 게이트산화막을 형성하는 단계; 및 상기 제2 게이트스페이서 형성전에 제2 게
이트산화막을 형성하는 단계를 더 포함하는 것이 바람직하다.

- <26> 또한, 상기 엘리베이티드 소스/드레인 구조의 모스 트랜지스터 제조방법에서, 상기 제1 에피층을 형성할 때에 상기 게이트전극 상부에도 제1 폴리층을 형성하는 단계; 및 상기 제2 에피층을 형성할 때에 상기 게이트전극 상부에 형성된 제1 폴리층 위에도 제2 폴리층을 형성하는 단계를 더 포함하는 것이 바람직하다.
- <27> 또한, 상기 엘리베이티드 소스/드레인 구조의 모스 트랜지스터 제조방법에서, 상기 제1 에피층 형성 후에 상기 반도체 기판에 도펀트의 이온주입을 하여 소스/드레인 영역을 형성하는 단계; 및 상기 제2 에피층 형성 후에 상기 반도체기판에 도펀트의 이온주입을 하여 소스/드레인 영역을 형성하는 단계를 더 포함하는 것이 바람직하다.
- <28> 바람직하게, 상기 제1 에피층은 예정된 엘리베이티드 소스/드레인 두께의 20~30% 두께로 형성한다. 또한, 상기 제2 에피층은 예정된 엘리베이티드 소스/드레인 영역 두께의 약 70~80% 두께로 형성하는 것이 바람직하다.
- <29> 또한, 상기 제1 게이트스페이서의 폭보다 상기 제2 게이트스페이서의 폭이 4~6배 정도 큰 것이 바람직하다.
- <30> 본 발명의 일 실시예에 있어서, 상기 제1 에피층 또는 상기 제2 에피층은 실리콘으로 구성되는 것이 바람직하다.
- <31> 상기 제1 에피층 또는 상기 제2 에피층은 저압화학기상증착법을 사용하여 성장시키는 것이 바람직하다. 특히, 상기 저압화학기상증착은 10~30torr의 증착 압력하에서 수행하는 것이 바람직하다. 또한, 상기 저압화학기상증착법에 의한 상기 제1 에피층 또는 상기 제2 에피층은 디클로로실레인(DCS)과 HCl의 혼합 가스를 소스가스로 사용하여 형성하는 것이 바람직하다.

- <32> 또한, 상기 제1 에피층 또는 상기 제2 에피층은 고진공화학기상증착법을 사용하여 성장시키는 것도 바람직하다. 특히, 상기 고진공화학기상증착은 10^{-4} ~ 10^{-5} torr의 증착 압력 하에서 수행하는 것이 바람직하다. 또한, 상기 고진공화학기상증착법에 의한 상기 제1 에피층 또는 상기 제2 에피층은 Si_2H_6 가스를 소스가스로 사용하여 형성하는 것이 바람직하다.
- <33> 본 발명의 실시예들에 있어서, 상기 제1 에피층 또는 상기 제2 에피층은 실리콘-게르마늄으로 구성되는 것이 바람직하다.
- <34> 여기서, 상기 제1 에피층 또는 상기 제2 에피층은 저압화학기상증착법을 사용하여 성장시키는 것이 바람직하다. 특히, 상기 저압화학기상증착은 10~30torr의 증착 압력하에서 수행하는 것이 바람직하다. 또한, 상기 제1 에피층 또는 상기 제2 에피층은 고진공화학기상증착법을 사용하여 성장시키는 것도 바람직하다. 특히, 상기 고진공화학기상증착은 10^{-4} ~ 10^{-5} torr 의 증착 압력 하에서 수행하는 것이 바람직하다.
- <35> 여기서, 상기 제1 에피층 또는 상기 제2 에피층은 디클로로실레인(DCS)과 HCl의 혼합 가스에 GeH_4 가스를 더 첨가하여 소스가스로 사용하여 형성하는 것이 바람직하다.
- <36> 본 발명의 실시예들에 있어서, 상기 제1 에피층 또는 상기 제2 에피층을 형성하는 단계 수행 전, 800~900℃의 온도의 수소 분위기에서 1~5분 동안 베이킹을 실시하는 단계를 더 포함하는 것이 바람직하다.
- <37> 본 발명의 실시예들에 있어서, 바람직하게는 상기 제1 에피층 또는 상기 제2 에피층을 형성하는 단계에서, 소스/드레인의 형성을 위해 드펀트의 인-시츄(in-situ) 도핑 또는 드펀트의 이온주입을 실시하는 것이 바람직하다.

- <38> 이하, 본 발명이 속한 기술분야에서 통상의 지식을 가진 자가 본 발명을 보다 용이하게 실시할 수 있도록 하기 위하여 본 발명의 바람직한 실시예를 소개하기로 한다.
- <39> 도 1 내지 도 6은 본 발명의 일 실시예에 따른 엘리베이트드 소스/드레인(elevated Source Drain) 구조를 가지는 모스 트랜지스터의 제조 공정을 도시한 것으로, 이하 이를 참조하여 설명한다.
- <40> 도 1에 도시된 바와 같이, 반도체 기판(101) 상에 소자분리막(104)을 형성하여 활성화 영역을 정의한다. 상기한 반도체 기판(101)으로는 바람직하게는 실리콘으로 이루어진 실리콘 기판을 사용하며, 소자분리막을 형성하는 방법으로는 국부적 산화에 의한 소자분리 공정(LOCOS)을 진행하여 필드 산화막(104)을 형성하는 방법 또는 얇은 트렌치를 이용한 소자 분리(Shallow Trench Isolation; STI)방법 등이 주로 이용되는 바, 이하 활성화 영역의 정의 방법으로 필드 산화막(104)을 형성하는 방법 또는 기타 다른 방법으로 치환하는 것이 가능하므로 예시된 도면 및 이하 설명은 본 발명을 한정하지 않는다.
- <41> 이러한 활성화 영역이 정의된 반도체 기판(101)에 SiO_2 , SiON , SiN , Al_2O_3 중 선택된 하나의 물질 또는 이들의 복합으로 이루어진 물질을 증착하여 게이트 절연막(106)을 형성하는데, 이러한 게이트 절연막(106)은 바람직하게는 20~100Å의 두께를 가지도록 형성된다.
- <42> 이어서, 상기 게이트 절연막(106)이 형성된 반도체 기판(101)의 활성 영역에 폴리실리콘(poly-Si)이나 실리콘-게르마늄(SiGe) 또는 게르마늄(Ge) 중에서 선택된 하나의 재질을 사용하여 게이트 전극용 도전막을 활성화 영역의 전면에 증착(deposition)하고, 이를 패터닝하여 섬(island) 모양의 게이트 전극(108)을 형성한다. 이어서, 이러한 게이트전극(108)의 표면에 산화(oxidation)공정 또는 화학기상증착(CVD)방법에 의해 제1 게이트 산화막(110)을 가지는 게이트 전극(108)을 형성한다.

- <43> 이어서, 반도체 기판(101)에 게이트 스페이서(gate spacer)를 구성하기 위한 절연막, 예컨대 질화막(SiN)을 화학기상증착(CVD) 방식으로 증착한다. 이후, 전술한 구성을 가지는 반도체 구성체를 스페이스 에치(space etch)를 실행하여 제1 게이트 스페이서(114)를 형성한다.
- <44> 이때 본 발명에서는 상기 게이트 전극(108)을 둘러싼 상기 제1 게이트 산화막(110)과 상기 제1 게이트 스페이서(114)의 하부의 게이트 절연막(106)을 제외한 게이트 절연막은 게이트 스페이서(114)의 에치과정에서 이루어지는 이방성 식각에 의하여 식각된다.
- <45> 이러한 제1 게이트 스페이서(114)의 형성 후, 후속 공정인 선택적 에피택시 성장(SEG)에 의한 제1 에피층(118)의 증착특성을 향상하기 위하여 수소 가스를 사용한 고온의 수소 베이킹(Hydrogen bake)를 수행한다. 바람직하게는 800~900℃의 온도의 수소 분위기에서 1~5분 동안 베이킹을 실시한다.
- <46> 이어서 도 2에 도시된 바와 같이, 본 발명에 따른 수소 베이킹 공정이 완료된 후, 상기 선택적 에피택시 성장(SEG)을 저압화학기상증착법(LPCVD) 또는 고진공화학기상증착법(UHV-CVD) 방식으로 진행하여, 게이트 전극(108)이 노출된 게이트 전극의 상부에 게이트 실리콘(116)을, 그리고 필드산화막(104)과 제1 게이트 스페이서(114)사이에 제1 에피층(118)을 형성한다. 이 때, 상기 제1 에피층(118)은 예정된 엘리베이티드 소스/드레인(elevated source/drain) 두께의 약 20~30% 두께로 형성한다. 상기 선택적 에피택시 성장을 함으로써 형성된 상기 게이트실리콘(116)은 폴리층으로 형성된다.
- <47> 도 3에 도시된 바와 같이, 상기 제1 에피층(118)의 하부에 위치한 상기 반도체 기판(101)에 도펀트를 약 10^{14} ions/cm²의 농도로, PMOS의 경우 BF₂을 3keV로, NMOS의 경우 As을 10keV로 이온주입을 하여 소스/드레인 연장영역(source/drain extension; 112)을 형성한다.

- <48> 도 4에 도시된 바와 같이, 화학기상증착(CVD) 공정에 의해 상기 제1 게이트 스페이서(114)의 양측면에 각각 제2 게이트산화막(130)을 형성한다. 이어서, 제2 게이트 스페이서(134)를 구성하기 위한 절연막, 예컨대 질화막(SiN)을 화학기상증착(CVD) 방식으로 증착한다. 이후, 전술한 구성을 가지는 반도체 구성체를 스페이스 에치(space etch)를 실행하여 제2 게이트 스페이서(134)를 형성한다. 제1게이트 스페이서(114)와 제2게이트 스페이서(134)의 너비의 비율은 약 1:5정도로 형성하는 것이 바람직하다.
- <49> 도 5에 도시된 바와 같이, 선택적 에피택시 성장(SEG)을 저압화학기상증착법(LPCVD) 또는 고진공화학기상증착법(UHV-CVD) 방식으로 진행하여, 상기 게이트 실리콘(116)의 상부와, 상기 제1 에피층(118)의 상부에 제2 에피층(140)을 형성한다. 상기 제2 에피층(140)은 상기 예정된 엘리베이티드 소스/드레인 두께의 나머지 두께만큼을 형성한다. 따라서, 바람직하게는 상기 제1 에피층(118)과 상기 제2 에피층(140)의 두께는 약 2:5 의 비율로 형성한다. 본 발명의 실시예들에 있어서, 상기 제1 에피층(118)은 약 100Å 의 두께로, 상기 제2 에피층(140)은 약 250Å의 두께로 형성한다.
- <50> 선택적 에피택시 성장을 함으로써, 도 2에서 생성되었던 확장된 게이트실리콘(116)은 한번 더 확장된다. 상기 게이트전극 상부에 위치하는 폴리층의 폭은 게이트의 폭보다 크게 형성된다. 또한, 상기 게이트전극 상부에 위치하는 폴리층은 실리콘이거나 게르마늄을 포함하는 것이 바람직하다. 따라서, 게이트 실리콘이 확장됨으로써 게이트 저항이 감소되는 효과가 있다. 또한 이후 공정에서 진행되는 실리사이드 바닥과 정션이 멀어지므로 정션리키지(junction leakage) 특성이 개선된다.
- <51> 도 6에 도시된 바와 같이, 상기 제2 에피층(140)의 하부에 위치한 반도체기판(101)에 도펀트의 깊은 이온주입(deep ion implantation)을 실행하여, 소스 및 드레인 전극의 하부로 깊은 접합

을 갖는 소스/드레인 영역(120)을 형성하고 열처리(annealing) 공정을 진행하여, 이온 주입된 도펀트(dopant)를 활성화시킨다.

- <52> 본 발명의 실시예들에 있어서, 상기 제1 에피층(118) 또는 상기 제2 에피층(140)이 실리콘을 포함할 경우, 약 10~30torr의 증착 압력과 약 850℃의 증착 온도 하에서 디클로로실레인(DCS)과 HCl의 혼합 가스를 소스가스로 사용하여 상기 저압화학기상증착법(LPCVD)에 의해 실리콘 에피층을 성장시킬 수 있다. 바람직하게는, 상기 증착 압력이 약 20 torr 일 때 상기 실리콘 에피층을 성장시킨다.
- <53> 또한, 상기 제1 에피층(118) 또는 상기 제2 에피층(140)이 실리콘을 포함할 경우, 약 10^{-4} ~ 10^{-5} torr의 증착 압력과 약 600~700℃의 증착 온도 하에서 Si_2H_6 가스를 소스가스로 사용하여 상기 고진공화학기상증착법(UHV-CVD)에 의해 실리콘 에피층을 성장시킬 수 있다.
- <54> 본 발명의 실시예들에 있어서, 상기 제1 에피층(118) 또는 상기 제2 에피층(140)이 실리콘-게르마늄을 포함할 경우, 약 20 torr의 증착 압력과 약 650~750℃의 증착 온도 하에서 디클로로실레인(DCS)과 HCl의 혼합 가스에 GeH_4 가스를 더 첨가한 소스가스를 사용하여 상기 저압화학기상증착법(LPCVD)에 의해 실리콘-게르마늄 에피층을 성장시킬 수 있다.
- <55> 또한, 상기 제1 에피층(118) 또는 상기 제2 에피층(140)이 실리콘-게르마늄을 포함할 경우, 약 10^{-4} ~ 10^{-5} torr의 증착 압력과 약 550~600℃의 증착 온도 하에서 디클로로실레인(DCS)과 HCl의 혼합 가스에 GeH_4 가스를 더 첨가한 소스가스를 사용하여 상기 고진공화학기상증착법(UHV-CVD)에 의해 실리콘-게르마늄 에피층을 성장시킬 수 있다.
- <56> 본 발명의 실시예들에 있어서, 상기 제1 에피층(118) 또는 상기 제2 에피층(140)을 상기 선택적 에피택시 성장(SEG)에 의해 성장시키면서 붕소(boron), 인(phosphorous), 비소(arsenic),

인듐(indium) 또는 안티몬(antimony)과 같은 도펀트를 인-시츄(in-situ) 도핑하면, 상기 제1 에피층(118) 또는 상기 제2 에피층(140) 내에 상기 도펀트의 함유량을 10^{20} ions/cm³ 이상 되게 할 수 있다. 또한, 상기 도펀트의 인-시츄(in-situ) 도핑이외에 도펀트의 이온주입을 실시할 수도 있다. NMOS의 경우 As이나 P를 40keV로, PMOS의 경우 B를 3keV로 이온주입한다.

<57> 이상에서 설명한 본 발명은 전술한 실시예들 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않은 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

【발명의 효과】

<58> 본 발명에 따른 선택적 에피택시 성장(Selective Epitaxial Growth)방법에 의한 엘리베이티드 소스/드레인(elevated Source Drain) 구조를 가지는 모스트랜지스터의 제조방법에 의하면, 에피층을 형성한 후 소스/드레인 연장(source/drain extension) 접합영역을 형성함으로써 소스/드레인 접합영역이 디퓨전되어 생기는 단채널효과(short channel effect)를 방지할 수 있고 누설전류를 감소시킬 수 있다. 또한 2개의 게이트스페이서와 선택적인 에피택시 성장(SEG) 방법을 이용한 2개의 엘리베이티드 소스/드레인(elevated source/drain)을 형성함으로써 소스/드레인 연장(source/drain extension) 접합영역이 게이트영역의 하부로 적당히 오버랩되게 하여 단채널효과를 방지할 수 있으며, 소스/드레인과 게이트의 면저항을 낮게 한다.

【특허청구범위】**【청구항 1】**

반도체 기판의 활성화 영역에 게이트절연막을 형성하고, 상기 게이트절연막상에 게이트전극을 형성하는 단계;

상기 게이트전극의 측면에 제1 게이트스페이서를 형성하는 단계;

상기 반도체 기판 상부에 제1 에피층을 형성하는 단계;

상기 제1 게이트 스페이서의 측면에 제2 게이트스페이서를 형성하는 단계; 및

상기 제1 에피층의 상부에 제2 에피층을 형성하는 단계를 포함하는 엘리베이티드 소스/드레인 구조의 모스 트랜지스터 제조방법.

【청구항 2】

제 1항에 있어서,

상기 제1 게이트스페이서 형성전에 제1 게이트산화막을 형성하는 단계; 및

상기 제2 게이트스페이서 형성전에 제2 게이트산화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 엘리베이티드 소스/드레인 구조의 모스 트랜지스터 제조방법.

【청구항 3】

제 1항에 있어서,

상기 제1 에피층을 형성할 때에 상기 게이트전극 상부에도 제1 폴리층을 형성하는 단계; 및

상기 제2 에피층을 형성할 때에 상기 게이트전극 상부에 형성된 제1 폴리층 위에도 제2 폴리층을 형성하는 단계를 더 포함하는 엘리베이티드 소스/드레인 구조의 모스 트랜지스터 제조방법.

【청구항 4】

제 1항에 있어서,

상기 제1 에피층 형성 후에 상기 반도체 기판에 도펀트의 이온주입을 하여 소스/드레인 영역을 형성하는 단계; 및

상기 제2 에피층 형성 후에 상기 반도체기판에 도펀트의 이온주입을 하여 소스/드레인 영역을 형성하는 단계를 더 포함하는 엘리베이티드 소스/드레인 구조의 모스 트랜지스터 제조방법.

【청구항 5】

제 1항에 있어서,

상기 제1 에피층은 예정된 엘리베이티드 소스/드레인 영역 두께의 약 20~30% 두께로 형성하는 것을 특징으로 하는 엘리베이티드 소스/드레인 구조의 모스트랜지스터 제조방법.

【청구항 6】

제 1항에 있어서,

상기 제2 에피층은 예정된 엘리베이티드 소스/드레인 영역 두께의 약 70~80% 두께로 형성하는 것을 특징으로 하는 엘리베이티드 소스/드레인 구조의 모스 트랜지스터 제조방법.

【청구항 7】

제 1항에 있어서,

상기 제1 게이트스페이서의 폭보다 상기 제2 게이트스페이서의 폭이 4~6배 정도 큰 것을 특징으로 하는 엘리베이티드 소스/드레인 구조의 모스 트랜지스터.

【청구항 8】

제 1항에 있어서,

상기 제1 에피층 또는 상기 제2 에피층은 실리콘으로 구성되는 것을 특징으로 하는 엘리베이트드 소스/드레인 구조의 모스 트랜지스터 제조방법.

【청구항 9】

제 8항에 있어서,

상기 제1 에피층 또는 상기 제2 에피층은 저압화학기상증착법을 사용하여 성장시키는 것을 특징으로 하는 엘리베이트드 소스/드레인 구조의 모스 트랜지스터 제조방법.

【청구항 10】

제 9항에 있어서,

상기 제1 에피층 또는 상기 제2 에피층은 디클로로실레인(DCS)과 HCl의 혼합 가스를 소스가스로 사용하여 형성하는 것을 특징으로 하는 엘리베이트드 소스/드레인 구조의 모스 트랜지스터 제조방법.

【청구항 11】

제 9항에 있어서,

상기 저압화학기상증착은 10~30torr의 증착 압력하에서 수행하는 것을 특징으로 하는 엘리베이트드 소스/드레인 구조의 모스 트랜지스터 제조방법.

【청구항 12】

제 8항에 있어서,

상기 제1 에피층 또는 상기 제2 에피층은 고진공화학기상증착법을 사용하여 성장시키는 것을 특징으로 하는 엘리베이티드 소스/드레인 구조의 모스 트랜지스터 제조방법.

【청구항 13】

제 12항에 있어서,

상기 제1 에피층 또는 상기 제2 에피층은 Si_2H_6 가스를 소스가스로 사용하여 형성하는 것을 특징으로 하는 엘리베이티드 소스/드레인 구조의 모스 트랜지스터 제조방법.

【청구항 14】

제 12항에 있어서,

상기 고진공화학기상증착은 $10^{-4}\sim 10^{-5}\text{torr}$ 의 증착 압력하에서 수행하는 것을 특징으로 하는 엘리베이티드 소스/드레인 구조의 모스 트랜지스터 제조방법.

【청구항 15】

제 8항에 있어서,

상기 제1 에피층 또는 상기 제2 에피층을 형성하는 단계 수행 전,

$800\sim 900^\circ\text{C}$ 의 온도의 수소 분위기에서 1~5분 동안 베이크를 실시하는 단계를 더 포함하는 것을 특징으로 하는 엘리베이티드 소스/드레인 구조의 모스 트랜지스터 제조방법.

【청구항 16】

제 1항에 있어서,

상기 제1 에피층 또는 상기 제2 에피층은 실리콘-게르마늄으로 구성되는 것을 특징으로 하는 엘리베이티드 소스/드레인 구조의 모스 트랜지스터 제조방법.

【청구항 17】

제 16항에 있어서,

상기 제1 에피층 또는 상기 제2 에피층은 저압화학기상증착법을 사용하여 성장시키는 것을 특징으로 하는 엘리베이티드 소스/드레인 구조의 모스 트랜지스터 제조방법.

【청구항 18】

제 17항에 있어서,

상기 제1 에피층 또는 상기 제2 에피층은 디클로로실레인(DCS)과 HCl의 혼합 가스에 GeH_4 가스를 더 첨가하여 소스가스로 사용하여 형성하는 것을 특징으로 하는 엘리베이티드 소스/드레인 구조의 모스 트랜지스터 제조방법.

【청구항 19】

제 17항에 있어서,

상기 저압화학기상증착은 10~30torr의 증착 압력하에서 수행하는 것을 특징으로 하는 엘리베이티드 소스/드레인 구조의 모스 트랜지스터 제조방법.

【청구항 20】

제 16항에 있어서,

상기 제1 에피층 또는 상기 제2 에피층은 고진공화학기상증착법을 사용하여 성장시키는 것을 특징으로 하는 엘리베이티드 소스/드레인 구조의 모스 트랜지스터 제조방법.

【청구항 21】

제 20항에 있어서,

상기 제1 에피층 또는 상기 제2 에피층은 디클로로실레인(DCS)과 HCl의 혼합 가스에 GeH_4 가스를 더 첨가하여 소스가스로 사용하여 형성하는 것을 특징으로 하는 엘리베이티드 소스/드레인 구조의 모스 트랜지스터 제조방법.

【청구항 22】

제 20항에 있어서,

상기 고진공화학기상증착은 10^{-4} ~ 10^{-5} torr의 증착 압력하에서 수행하는 것을 특징으로 하는 엘리베이티드 소스/드레인 구조의 모스 트랜지스터 제조방법.

【청구항 23】

제 16항에 있어서,

상기 제1 에피층 또는 상기 제2 에피층을 형성하는 단계 수행 전,
800~900℃의 온도의 수소 분위기에서 1~5분 동안 베이크를 실시하는 단계를 더 포함하는 것을 특징으로 하는 엘리베이티드 소스/드레인 구조의 모스 트랜지스터 제조방법.

【청구항 24】

제 1항에 있어서,



상기 제1 에피층 또는 상기 제2 에피층을 형성하는 단계에서,

소스/드레인의 형성을 위해 드펀트의 인-시츄(in-situ) 도핑을 실시하는 것을 특징으로 하는 엘리베이티드 소스/드레인 구조의 모스 트랜지스터 제조방법.

【청구항 25】

제 1항에 있어서,

상기 제1 에피층 또는 상기 제2 에피층을 형성하는 단계에서,

소스/드레인의 형성을 위해 드펀트의 이온주입을 실시하는 것을 특징으로 하는 엘리베이티드 소스/드레인 구조의 모스 트랜지스터 제조방법.

【청구항 26】

반도체 기판의 활성화 영역 상부에 형성된 게이트절연막;

상기 게이트절연막상에 형성된 게이트전극;

상기 게이트전극의 측면에 형성된 제1 게이트스페이서;

상기 반도체기판 상부에 형성된 제1 에피층;

상기 제1 게이트스페이서의 측면에 형성된 제2 게이트스페이서; 및

상기 제1 에피층 상부에 형성된 제2 에피층을 포함하는 엘리베이티드 소스/드레인 구조의 모스 트랜지스터.

【청구항 27】

제 26항에 있어서,



상기 게이트전극의 측면과 제1 게이트스페이서 사이에 위치하는 제1 게이트산화막;

상기 제1 게이트스페이서와 제2 게이트스페이서 사이에 위치하는 제2 게이트산화막을 더 포함하는 엘리베이티드 소스/드레인 구조의 모스 트랜지스터.

【청구항 28】

제 26항에 있어서,

상기 게이트전극 상부에 위치하는 폴리층을 더 포함하는 엘리베이티드 소스/드레인 구조의 모스 트랜지스터.

【청구항 29】

제 28항에 있어서,

상기 게이트전극 상부에 위치하는 폴리층의 폭은 게이트의 폭보다 큰 것을 특징으로 하는 엘리베이티드 소스/드레인 구조의 모스 트랜지스터.

【청구항 30】

제 28항에 있어서,

상기 게이트전극 상부에 위치하는 폴리층은 실리콘인 것을 특징으로 하는 엘리베이티드 소스/드레인 구조의 모스 트랜지스터.

【청구항 31】

제 28항에 있어서,

상기 게이트전극 상부에 위치하는 폴리층은 게르마늄을 포함하는 것을 특징으로 하는 엘리베이티드 소스/드레인 구조의 모스 트랜지스터.

【청구항 32】

제 26항에 있어서,

상기 제1 에피층의 하부에 위치하고 상기 게이트전극의 하부와 일부 오버랩되게 도펀트로 이온주입되어 형성된 소스/드레인; 및

상기 제2 에피층의 하부에 위치한 반도체기판에 도펀트로 깊은 이온주입되어 형성된 소스/드레인 영역을 더 포함하는 엘리베이티드 소스/드레인 구조의 모스 트랜지스터.

【청구항 33】

제 26항에 있어서,

상기 제1 에피층은 예정된 엘리베이티드 소스/드레인 두께의 20~30% 두께로 형성하는 것을 특징으로 하는 엘리베이티드 소스/드레인 구조의 모스 트랜지스터.

【청구항 34】

제 26항에 있어서,

상기 제2 에피층은 예정된 엘리베이티드 소스/드레인 영역 두께의 약 70~80% 두께로 형성하는 것을 특징으로 하는 엘리베이티드 소스/드레인 구조의 모스 트랜지스터.

【청구항 35】

제 26항에 있어서,

상기 제1 에피층 또는 상기 제2 에피층은 실리콘으로 구성되는 것을 특징으로 하는 엘리베이티드 소스/드레인 구조의 모스 트랜지스터.

【청구항 36】

제 26항에 있어서,

상기 제1 게이트스페이서의 폭보다 상기 제2 게이트스페이서의 폭이 4~6배 정도 큰 것을 특징으로 하는 엘리베이티드 소스/드레인 구조의 모스 트랜지스터.

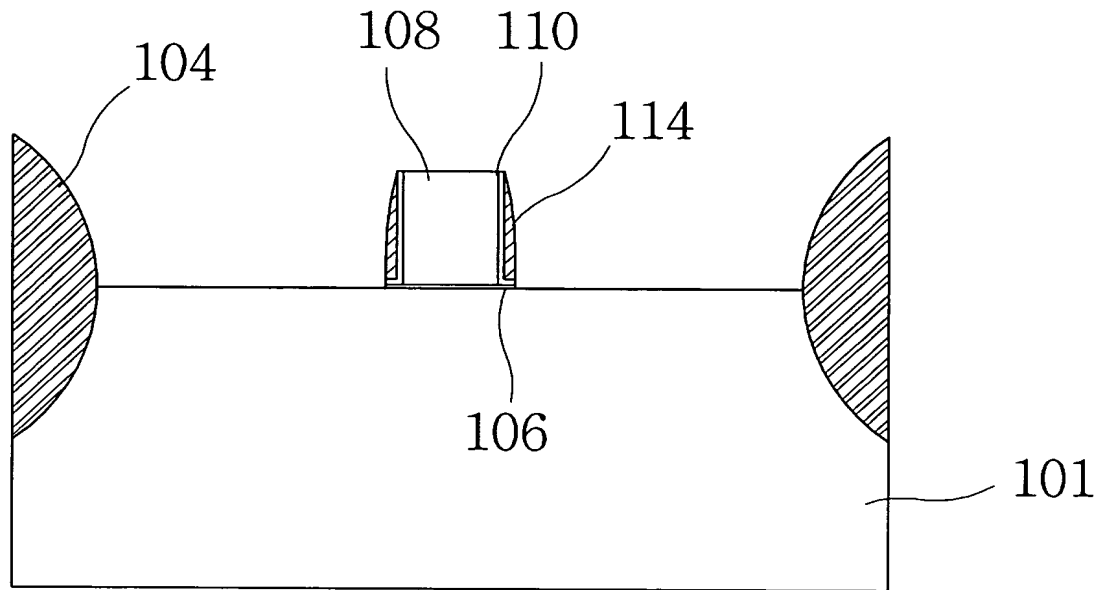
【청구항 37】

제 26항에 있어서,

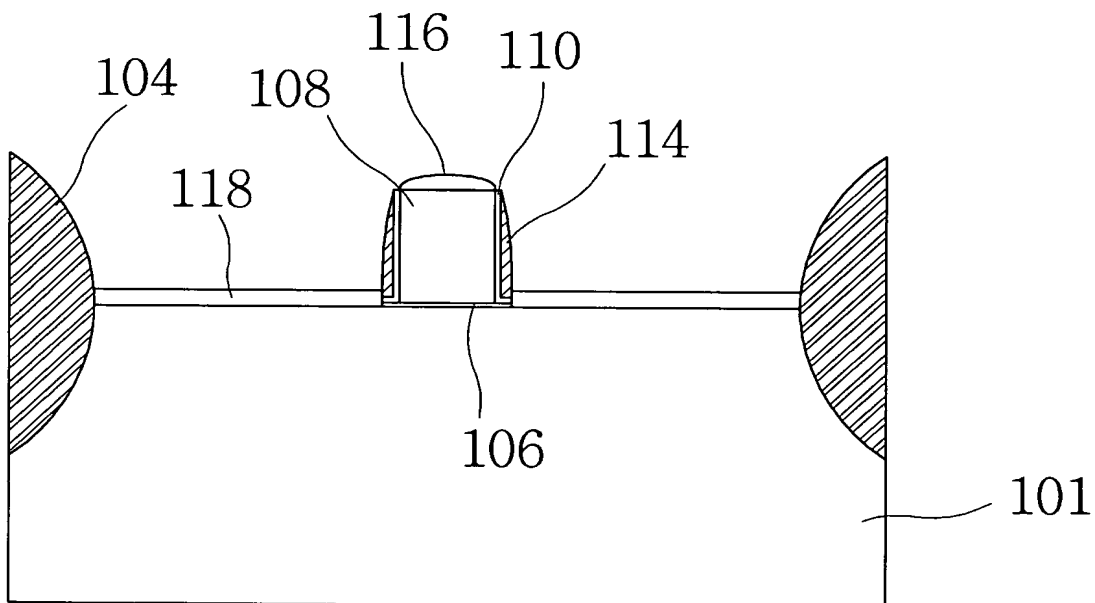
상기 제1 에피층 또는 상기 제2 에피층은 실리콘-게르마늄으로 구성되는 것을 특징으로 하는 엘리베이티드 소스/드레인 구조의 모스 트랜지스터.

【도면】

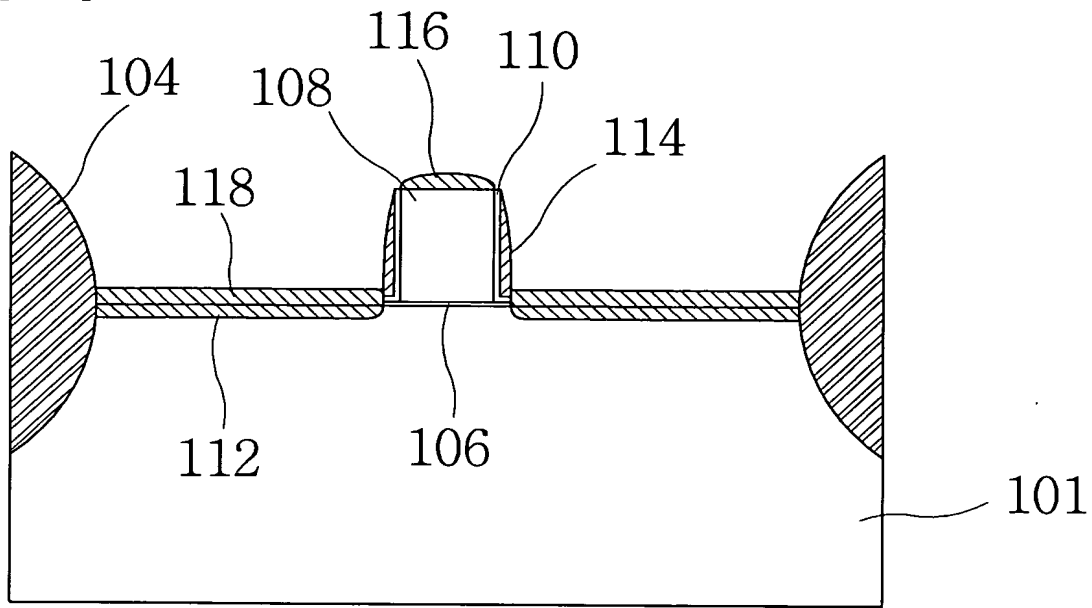
【도 1】



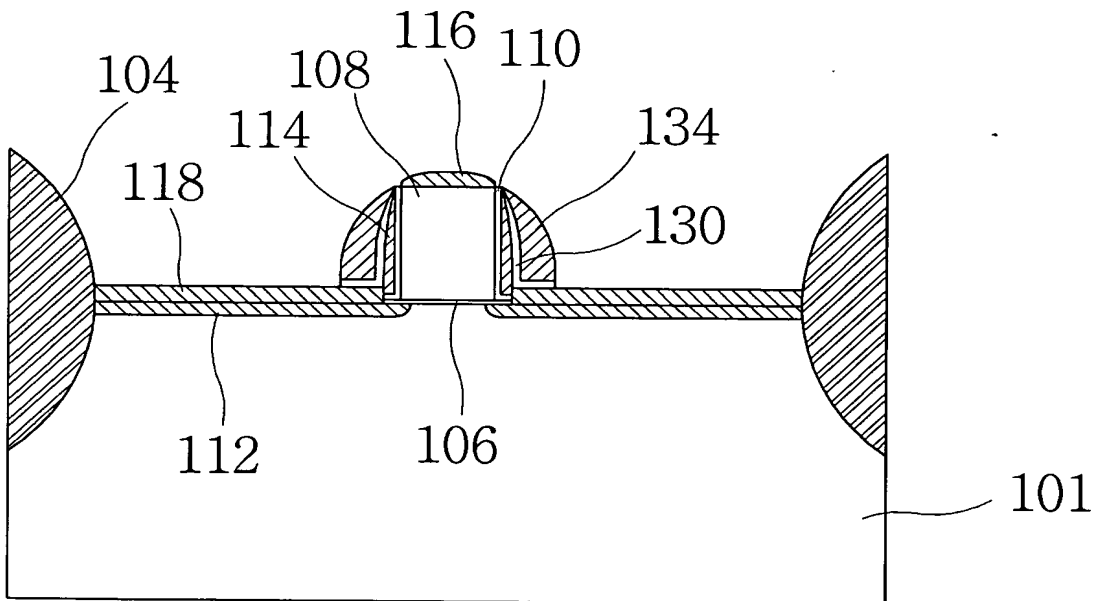
【도 2】



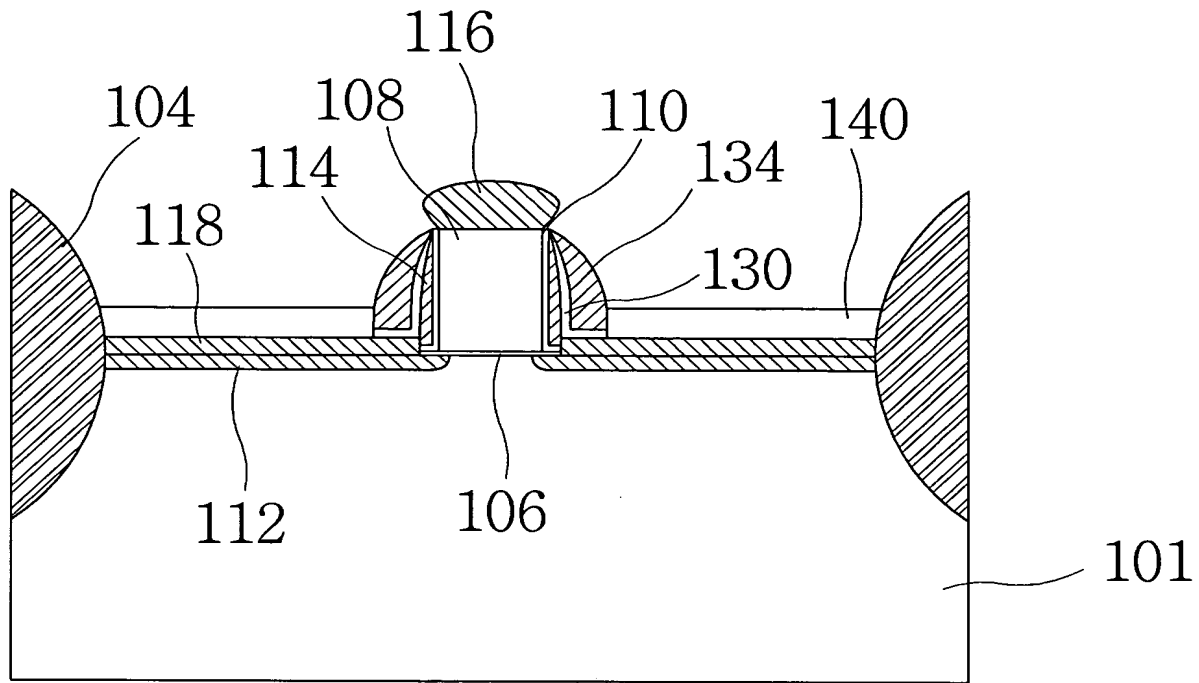
【도 3】



【도 4】



【도 5】



【도 6】

